

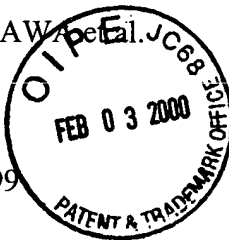
2811
2-15-00

0267
Priority Papers
PATENT #2
20-4652P
3/24/00
Allman

IN THE U.S. PATENT AND TRADEMARK OFFICE

Applicant: Narihiro MOROSAWA et al.
Application No.: 09/471,173
Filed: December 22, 1999
For: INSULATED GATE TRANSISTOR AND PROCESSOR
FABRICATING THE SAME

Group: NOT ASSIGNED
Examiner: NOT ASSIGNED



LETTER

Assistant Commissioner for Patents
Washington, DC 20231

February 3, 2000

Sir:

Under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55(a), the applicant(s) hereby claim(s) the right of priority based on the following application(s):

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	10-365861	December 24, 1998
JAPAN	11-303836	October 26, 1999

A certified copy of the above-noted application(s) is(are) attached hereto.

If necessary, the Commissioner is hereby authorized in this, concurrent, and future replies, to charge payment or credit any overpayment to Deposit Account No. 02-2448 for any additional fee required under 37 C.F.R. §§ 1.16 or 1.17; particularly, extension of time fees.

Respectfully submitted,

BIRCH, STEWART, KOLASCH & BIRCH, LLP

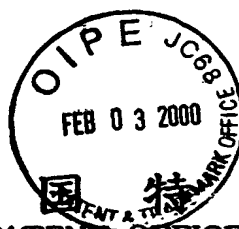
By:

Terrell C. Birch, Reg. No. 19,382

TCB/AJT:kna
20-4652P

P.O. Box 747
Falls Church, VA 22040-0747
(703) 205-8000

Attachment



日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

Docket No. 20-4652P
Serial No. 09/471,173
TITLE: INSULATED GATE #2
TRANSISTOR AND PROCESS
FOR FABRICATING
THE SAME
BIRCH, STEWART, KOLASH
+ BIRCH 205-8000

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日

Date of Application:

1 9 9 8 年 1 2 月 2 4 日

出 願 番 号

Application Number:

平成 1 0 年 特 許 願 第 3 6 5 8 6 1 号

出 願 人

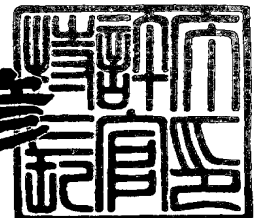
Applicant (s):

シャープ株式会社

1 9 9 9 年 1 2 月 1 0 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 平 1 1 - 3 0 8 7 1 3 6

【書類名】 特許願

【整理番号】 98-03456

【提出日】 平成10年12月24日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 絶縁ゲート型トランジスタ及びその製造方法

【請求項の数】 11

【発明者】

 【住所又は居所】 大阪府大阪市阿倍野区长池町22番22号 シャープ株式会社内

 【氏名】 諸沢 成浩

【特許出願人】

 【識別番号】 000005049

 【氏名又は名称】 シャープ株式会社

 【電話番号】 06-621-1221

【代理人】

 【識別番号】 100103296

 【弁理士】

 【氏名又は名称】 小池 隆彌

 【電話番号】 06-621-1221

 【連絡先】 電話 043-299-8466 知的財産権センター
東京知的財産権部

【手数料の表示】

 【予納台帳番号】 012313

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【包括委任状番号】 9703283

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 絶縁ゲート型トランジスタ及びその製造方法

【特許請求の範囲】

【請求項 1】 基板上にゲート絶縁膜を介してゲート電極を有する絶縁ゲート型トランジスタにおいて、シリコンと酸素を成分とする前記ゲート絶縁膜は、窒素原子とハロゲン原子の両方を含むことを特徴とする絶縁ゲート型トランジスタ。

【請求項 2】 前記ゲート絶縁膜の窒素原子濃度が、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることを特徴とする請求項 1 に記載の絶縁ゲート型トランジスタ。

【請求項 3】 前記ゲート絶縁型トランジスタは、浮遊ゲート電極と、浮遊ゲート電極上に層間絶縁膜を介して設けられた制御ゲート電極を有する構造であることを特徴とする請求項 1 乃至 2 のいずれかに記載の絶縁ゲート型トランジスタ。

【請求項 4】 前記ハロゲン原子がフッ素であることを特徴とする請求項 1 乃至 3 のいずれかに記載の絶縁ゲート型トランジスタ。

【請求項 5】 前記ゲート絶縁膜の膜厚が 0.5 nm 以上かつ 5 nm 以下である事を特徴とする請求項 1 乃至 4 のいずれかに記載の絶縁ゲート型トランジスタ。

【請求項 6】 基板上にゲート絶縁膜を介してゲート電極を有する絶縁ゲート型トランジスタを製造する工程において、前記ゲート絶縁膜として窒素原子を含むシリコン酸化膜を形成する工程と、該窒素原子を含むシリコン酸化膜にハロゲン元素を導入する工程を含むことを特徴とする絶縁ゲート型トランジスタの製造方法。

【請求項 7】 前記窒素原子を含むシリコン酸化膜を形成する工程が、シリコン酸化膜を形成する工程と、該シリコン酸化膜を窒素化する工程とであることを特徴とする請求項 6 に絶縁ゲート型トランジスタの製造方法。

【請求項 8】 前記シリコン酸化膜を窒素化する工程がアンモニアガスあるいは一酸化窒素ガスを用いることにより窒化する事を特徴とする請求項 7 に記載の絶縁ゲート型トランジスタの製造方法。

【請求項 9】 前記窒素原子を含むシリコン酸化膜を形成する工程が、一酸化窒素を用いて形成する工程であることを特徴とする請求項 7 に記載の絶縁ゲート型トランジスタの製造方法。

【請求項 10】 前記窒素原子を含むシリコン酸化膜を形成する工程が、一酸化二窒素ガスを用いてシリコン酸化膜を形成後、一酸化窒素あるいはアンモニアガスにより窒化を行う工程であることを特徴とする請求項 7 に記載の絶縁ゲート型トランジスタの製造方法。

【請求項 11】 前記ハロゲン元素を導入する工程がフッ素をイオン注入する工程であることを特徴とする請求項 6 乃至 10 のいずれかに記載の絶縁ゲート型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、絶縁ゲート型トランジスタにおけるゲート絶縁膜を備えた半導体装置とその製造方法に関する。

【0002】

【従来の技術】

近年、トランジスタのしきい値電圧のバラツキの抑制、および短チャネル効果の抑制の必要性から、NMOS には N 型不純物を含んだゲート、PMOS には P 型不純物を含んだゲートを用いた表面チャネル型のトランジスタを用いたデュアルゲート構造を有する CMOS の開発が行われている。このことは、例えば、インターナショナル エレクトロン デバイス イズ ミーティング (International Electron Devices Meeting) 1996 p555~558 に報告されている。

【0003】

しかしながら、表面チャネル型のトランジスタでデュアルゲート構造の CMOS を形成しようとする際には以下の問題点が存在する。P 型ドーパントシリコンをゲート電極として用いた場合、不純物の活性化のための熱処理工程においてゲート電極中のボロンがゲート酸化膜中を通り抜け、基板シリコンに到達しトランジスタのしきい値電圧を大きく変化させるという問題がある。

【0004】

このため、ゲート絶縁膜に窒化酸化膜を用いることにより、ボロンの突き抜けを抑制できることがインターナショナル エレクトロン デバイス イズ ミーティング (International Electron Devices Meeting) 1990 p429～p432に報告されている。

【0005】

また、ボロンを含まないポリシリコン膜をゲート電極として用いた場合には、シリコン酸化膜からなるゲート絶縁膜にフッ素を導入することでトランジスタ特性及び信頼性が向上したという報告が、IEEE Electron Device Lett.10,141(1989)でなされている。

【0006】

【発明が解決しようとする課題】

しかし、ゲート絶縁膜に窒化酸化膜を用いるとトランジスタの移動度が酸化膜に比べて減少することがシンポジウム オン ブイエルエスアイ テクノロジー (Symposium on VLSI Technology) 1990 p131～p132に報告されており問題となっている。

【0007】

また、現在、表面チャネル型のP型トランジスタとしてはP型不純物としてボロンを含むポリシリコン膜をゲート電極に用いたものが主流であり、このようなゲート絶縁膜がシリコン酸化膜でゲート電極にフッ素を含む場合には、フッ素がボロンの拡散を促進するためにボロンがより基板シリコンまで到達しやすくなることが生じ、従って、P型トランジスタのしきい値電圧が変化しやすくなるという問題がある。

【0008】

また、浮遊電極と制御電極を持つゲート絶縁型トランジスタが不揮発性メモリとして用いられているが、素子の微細化とともに薄いゲート絶縁膜を持つトランジスタが求められてきている。しかしながら、不揮発メモリに用いられるゲート絶縁膜には高電界が印加されるために、ゲート絶縁膜の膜厚が薄くなると劣化が進行し、リーク電流が増大するという問題がある。この劣化は酸化膜厚が10nm

mより薄くなると顕著に現れはじめ、膜厚の減少とともに指数関数的に増加する傾向を示す。

【0009】

このように、ボロンの通り抜けによる基板への拡散を防止し、かつ、トランジスタの移動度を低下させない目的で、発明者らが鋭意研究を重ねた結果、本発明がなされた。

【0010】

【課題を解決するための手段】

本発明の絶縁ゲート型トランジスタは、基板上にゲート絶縁膜を介してゲート電極を有する絶縁ゲート型トランジスタにおいて、シリコンと酸素を成分とする前記ゲート絶縁膜は、窒素原子とハロゲン原子の両方を含むことを特徴とする。

ゲート絶縁膜に窒素原子とハロゲン元素が含まれるため、界面への窒素原子の導入による界面の劣化を低減して、界面準位密度が低減して良好な界面を形成することができた。また、界面に含まれるハロゲン元素はシリコンと安定な結合を形成するため、ホットキャリア等によるキャリア注入に対してもダングリングボンドを形成することがない。この結果トランジスタ特性と信頼性を向上するという効果を有する。特に、表面チャネルPMOSではボロンの突き抜けが問題になるため、窒素を含む酸化膜が用いられるが、窒素を含む酸化膜を用いると界面特性の劣化による移動度劣化が発生する。これに界面欠陥を保証する効果を持つハロゲン原子を含ませることで、界面特性が向上する。通常ハロゲン原子が含まれると、ボロンの突き抜けが増幅されるが、窒素原子を十分な濃度入れておけば、突き抜けを抑制しつつ移動度の劣化を抑えることができる。

【0011】

また、前記ゲート絶縁膜の窒素原子濃度が、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることを特徴とする。

【0012】

窒素原子濃度を $1 \times 10^{20} / \text{cm}^3$ 以上含む絶縁膜を絶縁ゲート型トランジスタのゲート絶縁膜に用いるため、特に、P型トランジスタにおけるゲート電極に含まれるボロンが基板に拡散しない。また、ゲート絶縁膜中にハロゲン元素が含

まれるため界面の欠陥を補償することができるため界面準位密度が低減し、移動度が向上し、トランジスタの信頼性が向上する。

【0013】

さらに、前記ゲート絶縁型トランジスタは、浮遊ゲート電極と、浮遊ゲート電極上に層間絶縁膜を介して設けられた制御ゲート電極を有する構造であることを特徴とする。浮遊ゲート電極と制御ゲート電極を有する構造のトランジスタは、高電界を印加する必要があるため、ゲート絶縁膜の信頼性が特に重要である。

【0014】

特に、ゲート絶縁膜が10nm以下の膜厚である場合には、高電界印加後の絶縁膜を流れるリーク電流が上昇するという問題があった。本発明では、ハロゲン元素により、ゲート電極のリーク電流の上昇が抑制することができる。

【0015】

また、前記ハロゲン原子がフッ素であることを特徴とする。特に、フッ素原子は原子半径が小さいため絶縁膜中の原子の結合状態を乱すことなくトランジスタ特性を向上させることができる。また、フッ素とシリコンとの結合エネルギーが大きいため安定な結合を得ることができるため、信頼性の優れた絶縁膜を形成することができる。

【0016】

さらに、前記ゲート絶縁膜の膜厚が0.5nm以上かつ5nm以下であることを特徴とする。ゲート絶縁膜の膜厚が0.5nm以上においても本発明によって安定した膜形成が可能になる。また、ゲート絶縁膜の5nm以下の膜厚領域においてはゲート絶縁膜に窒素を含まない場合にはボロンがゲート絶縁膜中を拡散してボロンの突き抜けが生じるが、本発明においては窒素原子を含むためにボロンの突き抜けが生じず、ハロゲン元素によりトランジスタ特性を改善することが可能になる。

【0017】

基板上にゲート絶縁膜を介してゲート電極を有する絶縁ゲート型トランジスタを製造する工程において、前記基板上にゲート絶縁膜として、窒素原子を含むシリコン酸化膜を形成する工程と、該窒素原子を含むシリコン酸化膜にハロゲン元

素を導入する工程を含むことを特徴とする。この時、ゲート電極として一酸化窒素ガスや一酸化二窒素ガスやアンモニアガスを用いて700℃から1200℃程度の温度で反応させることによって、窒素原子を含むシリコン酸化膜を形成する。ここで、窒素濃度 $1 \times 10^{20} / \text{cm}^3$ 以上になるように反応温度と反応時間の制御を行うことが肝要である。この後ハロゲン元素のフッ素や塩素を含む三弗化窒素、三塩化窒素などのガスを用いてハロゲン原子をゲート絶縁膜中に導入する。この時、フッ素や塩素をイオン注入によってゲート絶縁膜中にハロゲン原子を導入することができる。

【0018】

前記窒素原子を含むシリコン酸化膜を形成する工程が、シリコン酸化膜を形成する工程と、該シリコン酸化膜を窒素化する工程とであることを特徴とする。まず、酸素雰囲気もしくは水蒸気雰囲気により窒素を含むシリコン酸化膜を、形成する。その後、一酸化窒素、一酸化二窒素、アンモニア等のガスを用いてシリコン酸化膜を窒素化することで窒素を含むシリコン酸化膜を形成する。この様にし、窒素を含むシリコン酸化膜を形成する事で、ウェハー面内で膜厚と窒素量が均一な窒素を含むシリコン酸化膜を形成することができる。

【0019】

前記窒素原子を含むシリコン酸化膜を形成する工程が、一酸化窒素を用いて形成する工程であることを特徴とする。一酸化窒素を用いる事で単一工程で窒素量を制御した窒素を含むシリコン酸化膜を形成することができる。

【0020】

前記窒素原子を含むシリコン酸化膜を形成する工程が、一酸化二窒素ガスを用いてシリコン酸化膜を形成後、一酸化窒素あるいはアンモニアガスにより窒化を行う工程であることを特徴とする。

【0021】

前記ハロゲン元素を導入する工程がフッ素をイオン注入する工程であることを特徴とする。まず、最初に一酸化二窒素を用いて窒素を含むシリコン酸化膜を形成することで、酸化速度が遅いため薄い膜厚の窒素を含むシリコン酸化膜を制御良く形成することができる。その後一酸化二窒素もしくはアンモニアガスを用い

て窒化することでより窒素濃度を高めることが可能になる。

【0022】

前記ハロゲン元素を導入する工程がフッ素をイオン注入する工程であることを特徴とする。フッ素は拡散速度が速いため、ゲート電極にフッ素を注入し、熱処理することで容易に絶縁膜中にフッ素を導入する事ができる。また、フッ素は原子半径が小さいため絶縁膜中の原子の結合状態を乱すことなくトランジスタ特性を向上させることができる。また、フッ素とシリコンとの結合エネルギーが大きいため安定な結合を得ることができるため、信頼性の優れた絶縁膜を形成することができる。

【0023】

【発明の実施の形態】

（実施例1）

図1に本発明に係わるデュアルゲートCMOS型の絶縁ゲート型トランジスタを示す。半導体基板101上に、p-ウェル102、n-ウェル103、及び素子分離領域104を形成した。p-ウェル102にはゲート絶縁膜105、n+多結晶ゲート電極106a、浅いn型拡散層108、注入保護膜107、サイドウォールスペーサー110、深いn型拡散層111、層間絶縁膜114、メタル配線115、からなるNMOSトランジスタが、n-ウェル103にはゲート絶縁膜105、p+多結晶ゲート電極106b、浅いp型拡散層109、注入保護膜107、サイドウォールスペーサー110、深いp型拡散層112、LDD領域109、シリサイド膜113、層間絶縁膜114、メタル配線115からなるPMOSトランジスタがそれぞれ形成されている。ここでゲート絶縁膜105は窒素濃度が $1 \times 10^{20} / \text{cm}^3$ 以上およびフッ素原子が含まれるシリコン酸化膜である。

【0024】

図2に絶縁ゲート型トランジスタにおけるゲート絶縁膜厚2.5nmの際のPMOSトランジスタのフラットバンド電圧のゲート絶縁膜中の窒素濃度依存性のグラフを示す。なお、本実施例においてはソース・ドレイン部に注入した不純物の活性化熱処理を窒素雰囲気中において温度850℃、時間30分で行っている

。図2に示す通り、窒素原子濃度が $1 \times 10^{20} / \text{cm}^3$ 以上の場合にはフッ素注入を行ってもフラットバンド電圧の変化の少ない特性が得られており、P型トランジスタにおけるゲート電極に含まれるボロンがほとんどトランジスタのチャンネルにまで拡散しないことがわかる。図2に示されるように、窒素原子濃度が $1 \times 10^{20} / \text{cm}^3$ 以上の時に、特に、急激に特性の向上が見られている。

【0025】

ここでゲート絶縁膜の膜厚は安定に膜が形成することができる0.5nm以上かつボロンの突き抜けが問題になる5nm以下の膜厚範囲において主に用いることが可能である。

【0026】

図3に絶縁ゲート型トランジスタにおけるゲート絶縁膜厚2.5nmの際のP型トランジスタの最大コンダクタンスのゲート絶縁膜中のフッ素濃度依存性のグラフを示す。図3に示す通りフッ素元素が含まれる場合には、界面の欠陥を補償することができるため界面準位密度が低減し、移動度が向上する。この際に絶縁膜中に窒素が $1 \times 10^{20} / \text{cm}^3$ 以上含まれているため図2に示した様にハロゲン元素のフッ素によるボロンの突き抜けの増加は抑制される。また、良好な界面が形成されることによりトランジスタのサブスレッショルド係数も低減することができた。

【0027】

本発明の評価として、特に効果のあったPMOSについて評価を行ったが、NMOSについても、窒素原子とフッ素原子を含んだシリコン酸化膜を用いることによって、界面への窒素原子導入による界面劣化を低減して、界面準位密度が低減されて良好な界面を作製することができた。従って、窒素原子を導入することにより生じたトランジスタ移動度の低下を抑制することができた。

【0028】

また、ハロゲン元素とシリコンとは結合エネルギーが大きいため安定な結合を得ることができる。そのため微細なトランジスタで問題となるホットキャリア注入によるトランジスタ特性の劣化を低減することができ、信頼性の優れた絶縁膜を形成することができた。

【0029】

上記の実施例においては、ゲート電極には多結晶シリコンを用いているが、多結晶ゲルマニウムや多結晶シリコンゲルマニウム等を用いることもできる。また、金属のタングステン等や多結晶膜と金属の積層構造等を用いることもできる。

【0030】

(実施例2)

図4に本発明に係わる浮遊ゲート電極と、浮遊ゲート電極上に層間絶縁膜を介して設けられた制御ゲート電極を有する絶縁ゲート型トランジスタを用いたメモリセルの断面図を示す。図4において401はシリコン基板、402は素子分離領域、403は電極、404はゲート絶縁膜である。ここでゲート絶縁膜は窒素原子濃度が $1 \times 10^{20} / \text{cm}^3$ 以上およびハロゲン原子が含まれるシリコン酸化膜である。405は浮遊ゲート電極、406は層間絶縁膜、407は制御ゲート電極、408はソース領域、409はドレイン領域、410は絶縁膜である。

【0031】

本実施例のメモリセルにおける絶縁ゲート型トランジスタにおいては従来用いられているシリコン酸化膜をゲート絶縁膜404に用いると書き換え時にゲート絶縁膜に高電圧を印加されるため、ゲート絶縁膜厚が10nm以下の領域に置いては書き換え回数の増加とともにリーク電流が増大するという問題があった。しかし、本実施例のゲート絶縁膜は窒素原子濃度が $1 \times 10^{20} / \text{cm}^3$ 以上およびハロゲン原子が含まれるシリコン酸化膜をゲート絶縁膜に用いることで、ゲート絶縁膜中と界面に含まれる窒素原子とハロゲン元素とがチャンネルとゲート絶縁膜の界面に安定な結合を形成することができ、そのためメモリセルの書き換え時に発生するホットキャリアによって界面が劣化しないため特性劣化を大幅に低減させることができた。つまり、メモリセルの書き換え回数が飛躍的に改善することができた。また、ゲート絶縁膜が安定して膜が形成することができる0.5nm以上の膜厚において用いることが好ましい。

【0032】

本技術を用いることにより、ゲート絶縁膜が薄くすることが可能であるので、素子の微細化が可能になり、集積度の高いメモリ素子が形成することができた。

【0033】

(実施例3)

図5に、本発明に係わるデュアルゲートCMOS型半導体装置の製造工程を示す。シリコン半導体基板501上に、p-ウェル502、n-ウェル503、及びフィールド酸化膜（素子分離領域）504を形成した。

【0034】

次に、しきい値電圧制御及び短チャネル効果防止のために、NMOS素子（p-ウェル502）にはボロンの、PMOS素子（n-ウェル503）には磷の、不純物イオン注入をそれぞれ行った。次に、ゲート酸化膜形成前に約80℃の温度のアンモニアと過酸化水素水の混合液での洗浄工程と約80℃の温度の塩酸と過酸化水素水の混合液での洗浄工程を行った後で約1%の弗化水素水でシリコン表面の洗浄を行った。洗浄工程はこれらの溶液での洗浄に限らない。洗浄工程の後、酸化性雰囲気中で800℃程度の温度でシリコン表面を酸化して膜厚約2.5nmのシリコン酸化膜505を形成する。ここまでの工程での断面図を図5（a）に示す。

【0035】

その後アンモニアガスあるいは一酸化窒素雰囲気において900℃程度の温度でシリコン酸化膜を窒化工程を行う。この工程により 1×10^{20} （/cm³）以上の窒素原子を含むゲート酸化膜506を形成する。なお、窒素原子を含むゲート酸化膜506を形成するために一酸化窒素あるいは一酸化二窒素を用いてシリコン表面を酸化することで微量に窒素を含むシリコン酸化膜を形成した後、アンモニアガスあるいは一酸化窒素雰囲気において窒化することで窒素原子を含むゲート酸化膜506を形成しても良い。また、一酸化窒素雰囲気中で酸化することで酸化温度と酸化時間を制御することにより、一工程で窒素原子を含むゲート酸化膜506を形成することも可能である。ここまでの工程での断面図を図5（b）に示す。

【0036】

この後、LPCVD法により約620℃程度の温度でポリシリコン膜507を100～300nm程度（好ましくは250nm）堆積する。その後、フッ素あ

るいは塩素などを 5×10^{14} ($/\text{cm}^2$) 程度ハロゲン元素注入 508 する工程を行う。このハロゲン元素の注入工程をフォトリソグラフィー及びエッチングを含む周知の工程を経て、多結晶シリコン膜を所望のパターンにパターニングした後に行うことも可能である。ハロゲン元素としては、特に、フッ素原子が原子半径が小さいため、絶縁膜中の原子の結合状態を乱すことなくトランジスタ特性を向上させることができ、また、フッ素とシリコンとの結合エネルギーが大きいいため安定な結合を得ることができるため、信頼性の優れた絶縁膜を形成することができるので、最も好ましい。

【0037】

なお本実施例においては、ハロゲン元素をゲート絶縁膜に導入するのにイオン注入を用いているが、ゲート酸化膜の形成時に三弗化窒素や三塩化窒素等のガスを用いて $600 \sim 1000^\circ\text{C}$ 程度の温度で処理することでフッ素や塩素をゲート絶縁膜に導入することも可能である。デュアルゲートCMOSにおけるPMOSトランジスタの形成において、ソース／ドレインとゲートへの不純物導入をイオン注入により同時に行い、注入イオン種に BF_2 を用いた場合は、ゲート電極にフッ素が導入される。しかし、この場合は、上記発明によるフッ素導入法に比べて注入量および注入エネルギーに制限がある。これは低抵抗のゲート電極の形成のためには一定以上の注入量と注入エネルギーが必要となり結晶欠陥の生成や高濃度のフッ素の混入により特性の劣化が生じる。ここまでの工程での断面図を図5(c)に示す。

【0038】

次に、フォトリソグラフィー及びエッチングを含む周知の工程を経て、多結晶シリコン膜を所望のパターンにパターニングした。その後、多結晶シリコン膜（ゲート電極）表面及び活性化領域（ソース・ドレイン）上のシリコン酸化膜をフッ酸溶液などにより完全に除去した後、不純物の注入保護膜としてシリコン窒化膜を $3 \sim 30\text{ nm}$ 程度（好ましくは 5 nm ）堆積した。なお、注入保護膜としては、シリコン酸化膜を用いても良いが、この場合、イオン注入時に上記シリコン酸化膜から酸素が半導体内にノックオンされ、後の工程でサリサイド化を行う場合には、酸素がシリサイド化反応を阻害する。このため本実施例では注入保護膜

としてシリコン窒化膜を用いた。また、注入保護膜なしで直接注入しても良い。

【0039】

次に、NMOS素子領域にチャネル近傍付近に浅い接合を形成するために、フォトリソグラフィ工程によりPMOS素子をフォトレジスト膜によって被い、NMOS素子にはシリコン半導体中でドナーとして振る舞う不純物イオンとして砒素を2～30keVのエネルギー、注入量 $0.5 \sim 5 \times 10^{14}$ (/cm²)程度でイオン注入を行った。NMOS素子において不純物としてアンチモンイオンを用いる場合は、3～35keVのエネルギー、注入量 $0.5 \sim 5 \times 10^{14}$ (/cm²)程度で注入を行う。この時、PMOS素子領域においては、浅いp型拡散層509が形成される。

【0040】

次に、フォトレジスト膜を除去した後、PMOS素子領域にチャネル近傍付近に浅い接合を形成するために、フォトリソグラフィ工程によりNMOS素子をフォトレジスト膜によって被い、PMOS素子にはシリコン半導体中でアクセプタとして振る舞う不純物イオンとしてBF₂イオンを5～40keVのエネルギー、注入量 $0.5 \sim 5 \times 10^{14}$ (/cm²)程度で注入を行う。この際BF₂イオンの代わりにInイオン等を注入しても良い。この時、PMOS素子領域においては、浅いp型拡散層510が形成される。

【0041】

次に、ゲート電極の側壁にサイドウォールスペーサー511を形成した。シリコン窒化膜を100～200nm程度堆積した後、シリコン窒化膜のシリコン酸化膜に対する選択比が50～100程度有るC₄F₈+COガス系反応性イオンエッチング(RIE)により素子分離領域上のシリコン酸化膜の表面が露出するまでエッチバックを行うことによってサイドウォールスペーサー511を形成した。ここでサイドウォールスペーサーには後に行う酸化工程によるバースピーク低減のためにシリコン窒化膜が望ましいが、シリコン酸化膜とシリコン窒化膜の2層構造膜でも良い。

【0042】

この後、深い接合であるソース・ドレイン拡散層を形成する。フォトリソグラ

フィー工程により、PMOS素子をフォトレジスト膜によって被い、NMOS素子にはシリコン半導体中でドナーとして振る舞う不純物イオンとしてリンを $15 \sim 50 \text{ keV}$ のエネルギー、注入量 $1 \sim 5 \times 10^{15} (\text{/cm}^2)$ 程度でN+イオン注入512を行う。

【0043】

なお、実施例1においてはエネルギー 30 keV 、注入量 $3 \times 10^{15} (\text{cm}^2)$ で実験を行った。ここまでの工程での断面図を図6(d)に示す。

【0044】

フォトレジスト膜を除去した後、窒素雰囲気中で $850 \sim 900^\circ\text{C}$ 程度のアニールを施すことにより注入不純物を活性化させ、NMOS素子に浅い拡散層510及び深いn型拡散層513を形成する。この時PMOS素子においては、ボロンが活性化され浅いp型拡散層509が形成される。今度はNMOS素子をフォトレジスト膜によって被い、PMOS素子にはチャンネルリング効果を防ぐために、注入エネルギー 30 keV 、注入量 $1 \times 10^{15} (\text{cm}^2)$ の条件でシリコンイオンの注入を行った後、シリコン半導体中でアクセプタとして振る舞う不純物イオンとしてボロンイオンを $10 \sim 30 \text{ keV}$ のエネルギー、注入量 $1 \sim 5 \times 10^{15} (\text{cm}^2)$ 程度でP+イオン注入514を行う。ここまでの工程での断面図を図6(e)に示す。

【0045】

次に、フォトレジスト膜を除去した後、急速熱処理(RTA、 1000°C 10秒)により注入不純物を活性化させ、PMOS素子に深いソース・ドレイン拡散層515を形成する。この後、サリサイド工程などの周知の工程を経て、ゲート電極上面及びソース・ドレイン領域にシリサイド516、並びに層間絶縁膜517、メタル配線518などを形成することによって、図6(f)に示したような所望のデュアルゲートCMOS型半導体装置を形成することができた。

【0046】

デュアルゲートCMOSにおけるPMOSトランジスタに対してソース・ドレイン部とゲート電極への注入に BF_2 を用いた場合には、ソース・ドレイン部にフッ素が混入するため、サリサイド化の際に抵抗増大、耐熱性劣化、接合リーク

の増大等の問題が発生する。

【0047】

本発明の実施例の方法ようにゲートパターニング前にフッ素を導入する場合には、ソース・ドレイン部へのフッ素の混入は生じないため、上記の問題は生じない。また、ハロゲン元素とシリコンとは結合エネルギーが大きいため安定な結合を得ることができる。そのため微細なトランジスタで問題となるホットキャリア注入によるトランジスタ特性の劣化を低減することができ、信頼性の優れた絶縁膜を形成することができる。

【0048】

【発明の効果】

本発明の表面チャネル型のデュアルゲート構造トランジスタにおいては、ハロゲン元素が含まれるため、界面への窒素原子の導入による界面の劣化を低減して、界面準位密度が低減して良好な界面を形成することができた。また、界面に含まれるハロゲン元素はシリコンと安定な結合を形成するため、ホットキャリア等によるキャリア注入に対してもダングリングボンドを形成することがない。この結果トランジスタ特性と信頼性を向上するという効果を有する。

【0049】

また、特にPMOSでは、ゲート絶縁膜に 1×10^{20} ($/\text{cm}^3$) 以上の窒素原子濃度の窒素を含むことによって、5 nm以下の薄いゲート絶縁膜においてもP型トランジスタに含まれるボロンがチャネルに突き抜けることないという効果を有する。また、ゲート絶縁膜に 1×10^{20} ($/\text{cm}^3$) 以上の十分な濃度の窒素原子を含むため不純物の混入等によるしきい値電圧の変動が低減されるために、しきい値電圧のバラツキが大きく低減されるため、プロセスの安定性が著しく向上する。

【0050】

さらに、本発明の浮遊ゲート型メモリセルトランジスタにおけるゲート絶縁膜に適用した場合には、ホットキャリア耐性の向上により、メモリトランジスタの書き換え回数が増大するという効果を有する。

【0051】

絶縁ゲート型トランジスタの作製方法においては、窒素を含むゲート絶縁膜を形成する工程とハロゲン元素を導入する工程を考慮することによって、ゲート絶縁膜に 1×10^{20} ($/\text{cm}^3$) 以上の十分な濃度の窒素原子を含ませるおおができ、従って、P型トランジスタのゲート電極に含まれるボロンがチャネルに突き抜けることなく、トランジスタ特性とホットキャリア耐性を向上させるという効果を有する。

【図面の簡単な説明】

【図1】

本発明に係わるデュアルゲートCMOS型絶縁ゲート型トランジスタ半導体装置を示す図である。

【図2】

本発明の実施例におけるPMOSにおけるフッ素濃度とフラットバンド電圧の関係を示した図である。

【図3】

本発明の実施例におけるPMOSにおけるフッ素濃度とチャネルコンダクタンスの関係を示した図である。

【図4】

本発明に係わる浮遊ゲートと制御ゲートを持つメモリセルにおける絶縁ゲート型トランジスタ半導体装置を示す図である。

【図5】

本発明に係わるデュアルゲートCMOS型半導体装置の製造方法を示す図である。

【図6】

本発明に係わるデュアルゲートCMOS型半導体装置の製造方法を示す図である。

【符号の説明】

101 半導体基板

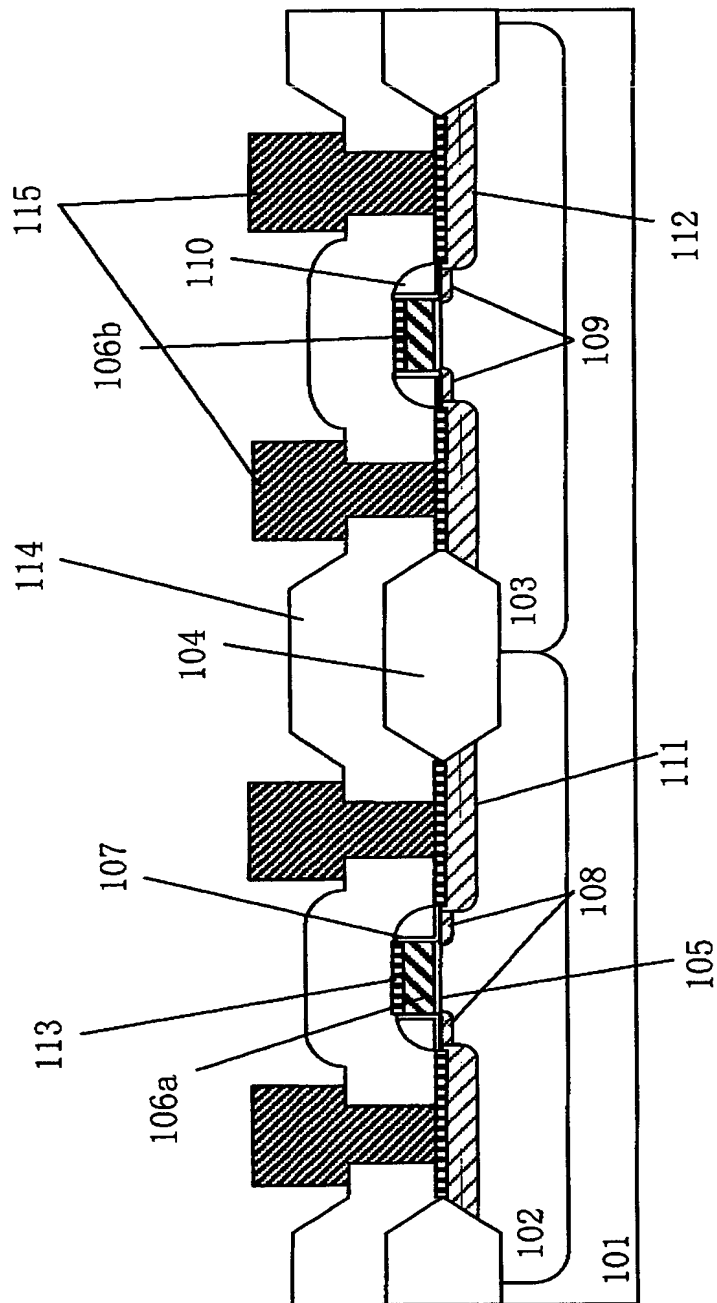
102 p-ウェル

- 103 n-ウエル
- 104 素子分離領域
- 105 ゲート絶縁膜
- 106 多結晶ゲート電極
- 107 注入保護膜
- 108 浅いn型拡散層
- 109 浅いp型拡散層
- 110 サイドウォールスペーサー
- 111 深いn型拡散層
- 112 深いp型拡散層
- 113 シリサイド膜
- 114 層間絶縁膜
- 115 メタル配線
- 401 シリコン基板
- 402 素子分離領域
- 403 電極
- 404 ゲート絶縁膜
- 405 浮遊ゲート電極
- 406 層間絶縁膜
- 407 制御ゲート電極
- 408 ソース領域
- 409 ドレイン領域
- 410 絶縁膜
- 501 半導体基板上
- 502 p-ウエル
- 503 n-ウエル
- 504 素子分離領域
- 505 ゲート酸化膜
- 506 窒素原子を含むゲート酸化膜

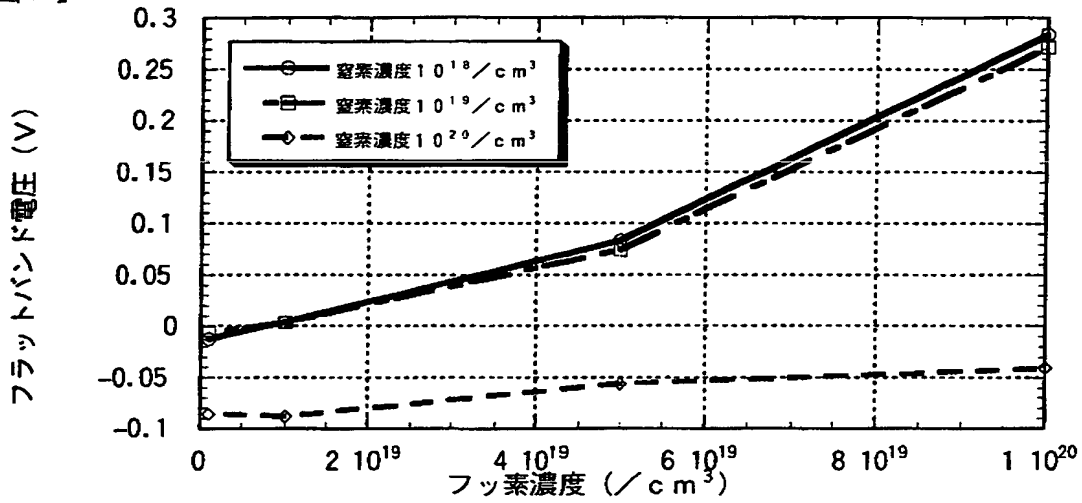
- 507 ポリシリコン膜
- 508 ハロゲン元素
- 509 浅い p 型拡散層
- 510 浅い n 型拡散層
- 511 サイドウォールスパンサー
- 512 N+イオン
- 513 深い n 型拡散層
- 514 P+イオン
- 515 深い p 型拡散層
- 516 シリサイド
- 517 層間絶縁膜
- 518 メタル配線

【書類名】 図面

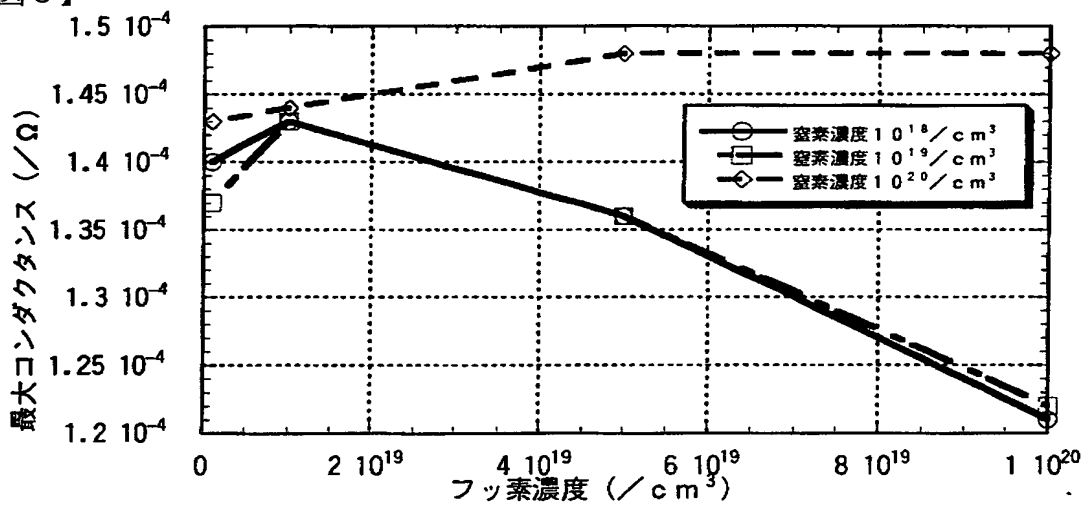
【図 1】



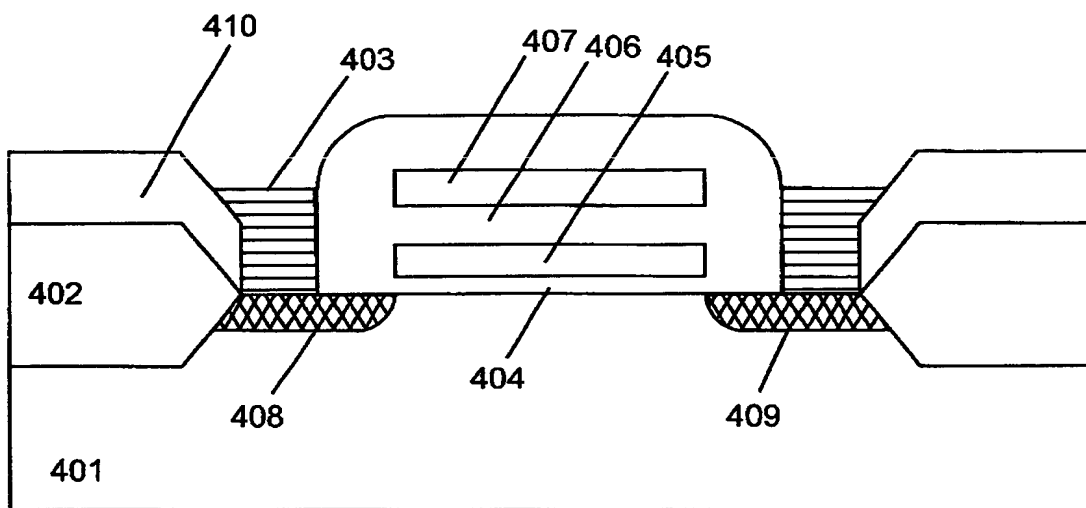
【図 2】



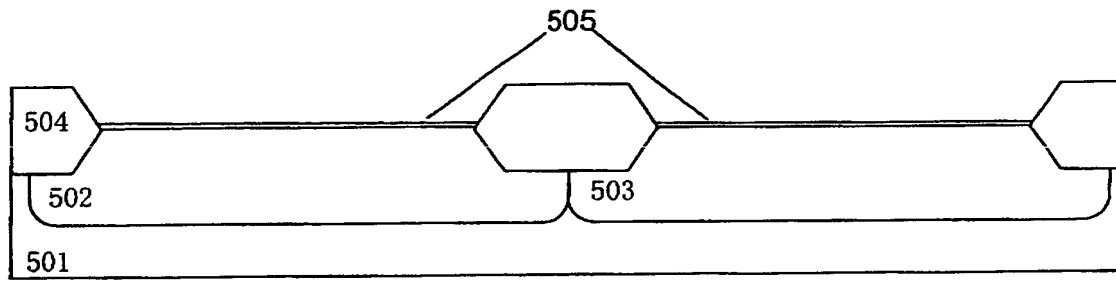
【図 3】



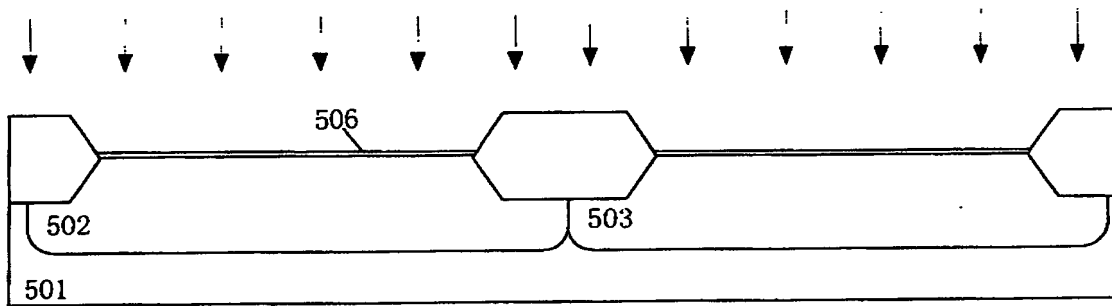
【図4】



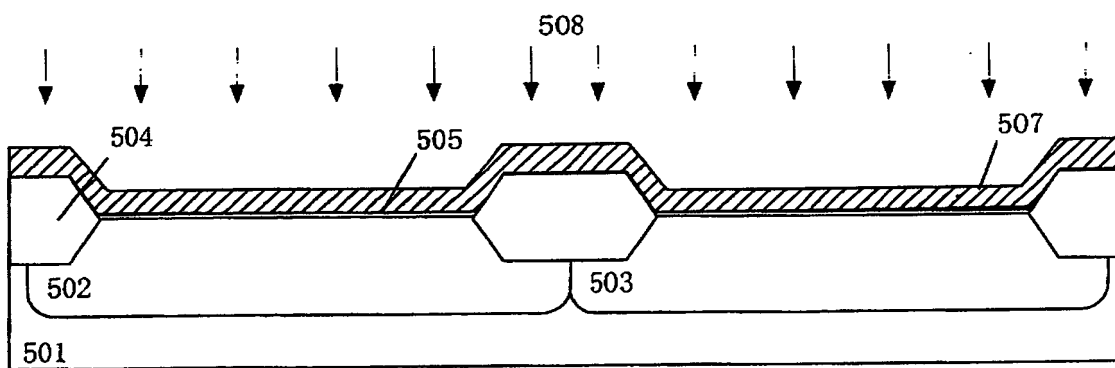
【図 5】



(a)

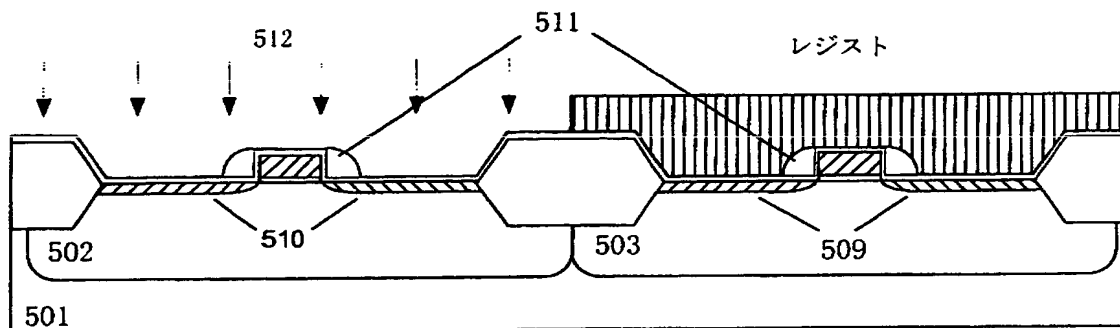


(b)

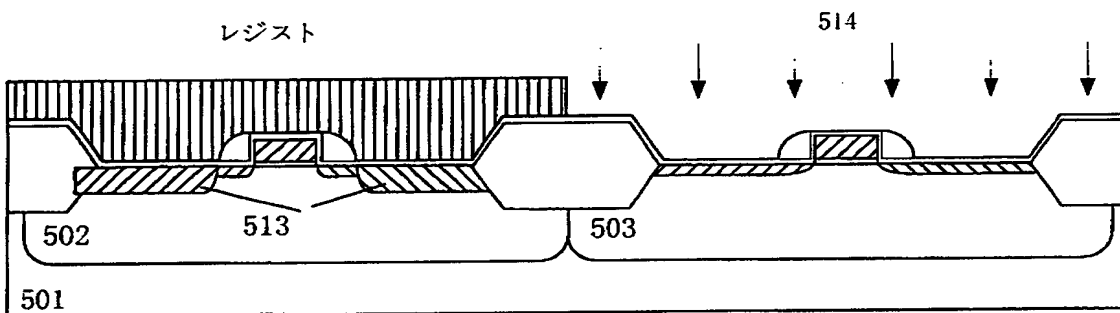


(c)

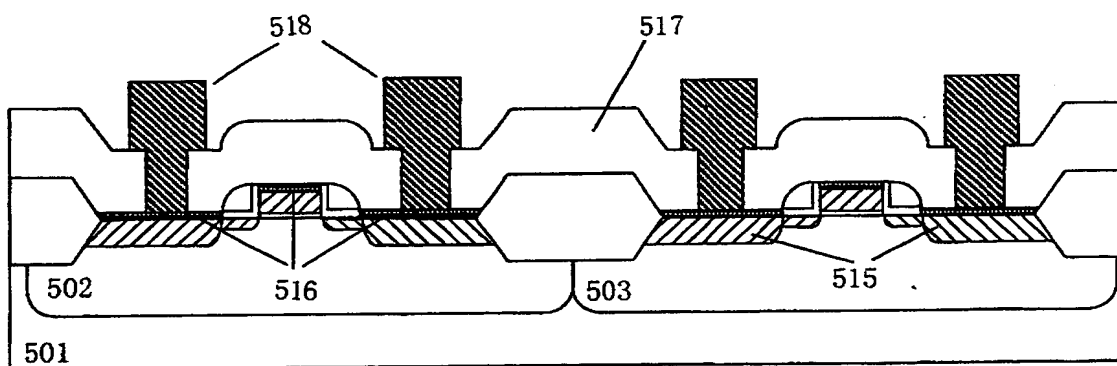
【図 6】



(d)



(e)



(f)

【書類名】 要約書

【要約】

【課題】 十分に大きいコンダクタンスを持ち、信頼性に優れた絶縁ゲート型トランジスタを得ることを目的として、ゲート絶縁膜における界面準位密度を低減し、良好な界面を形成するとともに、ホットキャリア耐性を向上させることを目的とする。特に、PMOSにおいてゲート電極に含まれるボロンがチャネルにゲート絶縁膜を薄くしても突き抜けを抑制できるゲート絶縁膜を有する絶縁型ゲートトランジスタ及びその製造方法を提供することを目的とする。

【解決手段】 本発明の絶縁ゲート型トランジスタは、基板上にゲート絶縁膜を介してゲート電極を有する絶縁ゲート型トランジスタにおいて、シリコンと酸素を成分とする前記ゲート絶縁膜は、窒素原子とハロゲン原子の両方を含むことを特徴とする。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社